

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-270052

(43)Date of publication of application : 19.10.1993

(51)Int.Cl.

B41J 2/44
B41J 2/45
B41J 2/455
B41J 2/355
H04N 1/032
H04N 1/036

(21)Application number : 04-345600

(71)Applicant : KYOCERA CORP

(22)Date of filing : 30.11.1992

(72)Inventor : MURANO SHUNJI

(30)Priority

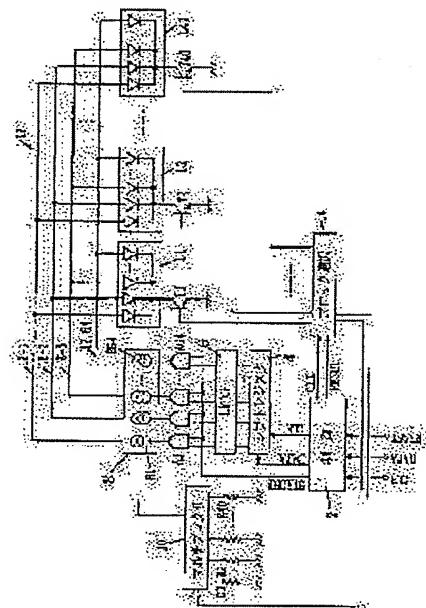
Priority number : 04 46057 Priority date : 31.01.1992 Priority country : JP

(54) IMAGE FORMING APPARATUS

(57)Abstract:

PURPOSE: To correct output irregularity at every array of an LED printing head by a simple circuit so as to be able to easily correspond to an increase in the speed of a printer.

CONSTITUTION: A multiplexer 10 is provided in order to alter the output determining resistor of a constant current power supply 8 at every array and the output determining resistor is determined on the basis of the block selecting signal of a block selecting circuit 14 by scanning resistors R1-R40 by the multiplexer 10.



LEGAL STATUS

[Date of request for examination] 24.06.1996

[Date of sending the examiner's decision of rejection] 22.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

1

【特許請求の範囲】

【請求項1】 それぞれ多数の画像形成素子からなる、複数の画像ブロックと、前記の複数の画像ブロックを、1画像ブロック分駆動するための駆動回路と、前記の駆動回路に、複数の画像ブロックを所定の順序で、1画像ブロックずつ接続するためのブロック選択手段とを設け、前記の駆動回路は、出力決定抵抗により出力が変化するものとし、かつ前記の出力決定抵抗を多数設けると共に、駆動回路に接続した画像ブロックに応じて、前記の出力決定抵抗を切り替えて駆動回路に接続するための、スイッチング手段を設けた画像形成装置。

【請求項2】 前記のスイッチング手段をマルチブレクサとした、請求項1の画像形成装置。

【請求項3】 前記の駆動回路を、1画像ブロック分の画像形成素子の数からなる定電流回路とした、請求項1の画像形成装置。

【請求項4】 前記の画像形成素子をLEDとした、請求項1の画像形成装置。

【請求項5】 前記の出力決定抵抗を画像ブロックの個数だけ設けた、請求項2の画像形成装置。

【請求項6】 前記のマルチブレクサでは、画像ブロックを駆動する順序に従って、前記の出力決定抵抗を駆動回路に接続するようにした、請求項5の画像形成装置。

【請求項7】 前記の画像ブロックは、その出力が所定範囲内の正常ブロックと、出力が所定範囲外の異常ブロックとから成り、マルチブレクサには、正常ブロックに対する少なくとも1個の出力決定抵抗と、異常ブロックの数の出力決定抵抗とを接続した請求項2の画像形成装置。

【請求項8】 駆動回路に接続する画像ブロックが正常ブロックから異常ブロックに変化することと、異常ブロックから正常ブロックに変化することとを検出して、出力信号を発生させるための手段を設けると共に、この出力信号をマルチブレクサに入力し、出力決定抵抗を切り替えるようにした、請求項7の画像形成装置。

【請求項9】 駆動回路に接続する画像ブロックが異常ブロックであることを検出して、異常ブロック駆動信号を発生するための手段を設けると共に、

異常ブロック駆動信号により、マルチブレクサで異常ブロック用の出力決定抵抗を駆動回路に接続し、異常ブロック駆動信号が無い場合に、正常ブロック用の出力決定抵抗を駆動回路に接続するようにした、請求項7の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の利用分野】 この発明は、LEDプリントヘッドやサーマルヘッド、ELプリントヘッド等の画像形成装

2

置に関し、特に画像ブロック毎の画像形成素子の出力ばらつきの補正に関する。

【0002】

【従来技術】 画像形成装置は、多数の画像形成素子を画像素子アレイに集積化し、この画像素子アレイを複数個配置し、駆動回路からの駆動電流で動作させるようにしたものである。画像形成装置では、駆動回路の集約化と、データの供給に用いるバスラインの単純化のため、画像形成素子を例えばアレイ単位にブロック化し、時分割駆動することが知られている。

【0003】 ところで画像形成装置の問題点の1つとして、画像形成素子の出力のばらつきがある。このような出力のばらつきは一つのアレイの中では小さく、アレイが変わる毎のばらつきが大きい。そこでアレイ毎に、あるいは同じ意味であるが画像ブロック毎に、出力のばらつきを補正する必要がある。

【0004】 出力のばらつきの補正の手段として、画像素子アレイに加えるストローブ信号の時間を可変にすることが提案されている（例えば特開昭61-228, 973号公報参照）。この手法では、ストローブ信号の幅を可変にすることでアレイ毎に画像形成素子の駆動時間を変化させる。しかしながらプリンタの高速化に伴いこの手法は限界に達している。例えば1ラインを1.3m秒で走査し、1ラインに2560個の画像形成素子を設けて40分割で駆動すると、1画像ブロックの駆動時間は30μ秒程度となる。アレイ毎の出力のばらつきを±3%の精度で補正するには、駆動時間を1μ秒程度の単位で可変に制御する必要がある。これをストローブ信号の制御で行うには、ストローブ信号の持続時間を画像ブロック毎に1μ秒程度の精度で制御せねばならず、極めて困難である。

【0005】 一方画像形成素子の出力ばらつきを補正するため、画像形成素子を出力毎に選別することも考えられる。しかしこの手法では選別不良となった画像形成素子は無駄となり、高価な画像形成素子にロスが生じ、画像形成装置のコストを増加させる。

【0006】

【発明の課題】 この発明の基本的課題は、画像形成素子の駆動時間とは異なる手法により、画像形成素子の画像ブロック毎の出力ばらつきを補正することにあり、特に簡単な回路で容易にばらつきを補正することにある。この発明の副次的課題は、用いるマルチブレクサを小型化し、出力決定用抵抗の個数を減少させることにある（請求項7～9）。

【0007】

【発明の構成】 この発明の画像形成装置では、多数の画像形成素子を複数の画像ブロックに分割し、1ブロックずつ駆動回路に接続して時分割駆動する。ここで駆動回路の出力決定用抵抗を多数設け、スイッチング手段により切り替え、各画像ブロックに適した出力決定抵抗を駆

動回路に接続する。スイッチング手段は、好ましくはマルチブレクサとし、例えば画像ブロックを駆動する順に、それに適した出力決定抵抗を配置し、マルチブレクサで順に走査して接続する。駆動回路は好ましくは定電流回路とし、1ブロック内の画像形成素子の個数だけの定電流回路を設け、出力決定抵抗はブロック内の各定電流回路に対し共通とする。また画像形成素子を出力ばらつきの大きいLEDとした場合に、この発明は特に適している。

【0008】マルチブレクサには例えば、画像ブロックの個数の出力決定抵抗を接続し、画像ブロックを駆動する順に走査して出力決定抵抗を切り替える。この手法では、マルチブレクサの規模は画像ブロックの個数で定まり、出力決定抵抗の個数も画像ブロックの個数で定まる。ところで画像形成装置内の異常ブロックの個数は、通常は1～3個程度（例えば全画像ブロック数が40個）と少ない。そこで異常ブロック毎に個別の出力決定抵抗を設けると共に、正常ブロック用の出力決定抵抗を共通化することができる。このためには例えば、先頭の画像ブロック（最初に駆動するブロック）に対して出力決定抵抗を配置し、以後異常ブロックとその次の正常ブロックとに出力決定抵抗を配置して、異常ブロックとその次の正常ブロックとで出力決定抵抗を切り替え、異常ブロックと異常ブロックの間の正常ブロック用には、出力決定抵抗を1個とすれば良い。この手法では、異常ブロックの個数をnとしてほぼ $2n+1$ 個の出力決定抵抗が必要となる。これ以外に、例えば正常ブロック用の出力決定抵抗を1個として、出力決定抵抗を共通化し、異常ブロックに対してのみ個別の出力決定抵抗を設けるようにしても良い。例えばこの場合、異常ブロックに対してのみマルチブレクサを歩進させ、正常ブロックには共通の出力決定抵抗を接続するようにする。

【0009】

【発明の作用】この発明では、出力決定抵抗を切り替え、画像ブロックに応じた出力で駆動する。このため画像ブロックの駆動時間の制御が不要となる。ここで出力決定抵抗にマルチブレクサを用いると、マルチブレクサで抵抗を走査することで、画像ブロックの出力制御ができる。マルチブレクサに接続する出力決定抵抗は、画像ブロックの全数に応じたものとし、1個ずつ順に走査しても良い。あるいは異常ブロック用にのみ個別の出力決定抵抗を用い、出力決定抵抗の個数を減少させても良い。

【0010】

【実施例】図1に実施例の回路構成を示す。図において、2は制御回路で、プリンタ本体、例えばプリンタ本体のCPU、からデータ信号とクロック信号、リセット信号を受け取り、LEDプリントヘッドを制御する。4は例えば64進のシフトレジスタで、6は例えば64進のラッチ回路、A1～A64は64個のアンド回路、8

は定電流電源で、64個の例えば5mA定電流回路B1～B64からなる。

【0011】定電流電源8の出力電流は、外付けの出力決定抵抗により変化し、ここではR1～R40の40個の出力決定抵抗を用いる。なお定電流電源8は例えばミラーデータ回路とし、出力決定抵抗に流れる電流と同じ電流が各定電流回路B1～B64から出力されるようにする。定電流電源8に変えて、定電圧電源を用いても良い。10はマルチブレクサで、ここでは40個のFETスイッチ等からなるものを用い、FETスイッチで抵抗R1～R40の1個を選択して、定電流電源8の出力決定抵抗として用いる。

【0012】12はバスラインで、12-1～12-6の64本のラインからなる。L1～L40は40個のLEDアレイで、各64個のLEDを集積化したものである。ここでは1個のLEDアレイを1個の画像ブロックとして駆動するが、2アレイを1ブロックとしたり、2アレイを1ブロックとしても良い。T1～T40はスイッチングトランジスタで、14はブロック選択回路である。

【0013】図2に、マルチブレクサ10の変形例を示す。図において、20は新たなマルチブレクサで、22は例えば分解能6ビットの抵抗ラダー回路、24はEPROM等のメモリーで、LEDアレイL1～L40毎に発光電流の補正データを例えば6ビット精度で記憶させておく。そしてブロック選択回路14の信号で選択した画像ブロック(LEDアレイL1～L40の1個)に応じた補正データを読み出し、これによってマルチブレクサ20を制御して、抵抗ラダー回路22の出力抵抗を6ビットの精度で制御する。この結果、定電流回路電源8の出力電流は6ビットの分解能(±1.5%)で制御され、LEDアレイL1～L40への発光電流は±1.5%の精度で制御される。

【0014】図2の変形例は、マルチブレクサ以外の部分については、図1の実施例と同様である。ただし図2の変形例と図1の実施例とを比較すると、図2の変形例では抵抗ラダー回路や補正データの記憶用のメモリー24を要するが、図1の実施例では、40個の抵抗R1～R40をマルチブレクサ10によりブロック選択回路14の画像ブロック選択信号で順に走査するだけで良い点が異なる。また図2の変形例では、マルチブレクサ20も複雑化する。これは6ビットの抵抗ラダー回路22を用いるためマルチブレクサ20には少なくとも6個のスイッチが必要で、これをEPROM24からの40個のデータのうちの一つを選んで制御せねばならないためである。

【0015】実施例の動作を示す。プリンタ本体、例えばプリンタ本体のCPUからは、2MHz等の周波数で、クロック信号CLKと印画データDATAがシリアルに転送されてくる。制御回路2ではこれを64進のシ

5

フレジスタ4に転送し、シフトレジスタ4ではクロック信号CLKをシフトクロックとしてデータをシフトさせて所定の番地に記憶する。64個のデータがそろると、シフトレジスタ4のデータはラッチ回路6に移され、例えば2クロック待機した後に、62クロック分の幅のストローブ信号がアンド回路A1～A64に加えられ、定電流回路B1～B64から、バスライン12に発光電流が送られる。

【0016】ブロック選択回路14は例えば、64進のカウンタとデコーダ、アンド回路、1+40進のシフトレジスタとからなる。ここでシフトレジスタの先頭の1ビットはビットセット用の特別のビットであり、リセット信号で先頭のビットにデータビットをセットする。カウンタで64個のクロックをカウントする毎に、カウンタはシフトクロックを発生し、シフトレジスタのデータビットを1ビットずつシフトさせ、1ラインの印画が終了するとデータビットを先頭から2番目のビット（アレイL1に対応）に戻す。この結果、駆動すべきトランジスタT1～T40に応じた位置にデータがビットセットされる。デコーダではカウンタの信号をデコードし、64クロックのうちの1～62クロックの間シフトレジスタのデータビットの信号をアンド回路で有効化し、トランジスタT1～T40を駆動する。

【0017】定電流回路B1～B40からの発光電流と、ブロック選択回路14からのトランジスタT1～T40の駆動信号で、所定のLEDアレイが駆動される。1ラインの駆動周期は例えば1.3m秒であり、1画像ブロック(LEDの1アレイ)当りの割当時間は例えば32μ秒、そのうちの発光時間は31μ秒である。

【0018】LEDアレイL1～L40には、例えば±25%程度の出力ばらつきがある。ここでいうばらつきとは、1個のLEDアレイの出力が中心値に対し±25%程度ばらつくことを指す。良好な印画品質を得るために、アレイ毎の平均で出力ばらつきを±5%、より好ましくは±3%程度の範囲に収める必要がある。ばらつきの影響は図形イメージの印画に対し特に強く現れ、また隣接したアレイ間でのばらつきは特に目立って現れる。ここでばらつきを除くようにLEDアレイL1～L40を選別すると、LEDアレイの収率が低下し、アレイが高価なため画像形成装置のコストが増加する。

【0019】そこでLEDプリントヘッドの組立時に、LEDアレイL1～L40の発光出力を求め、アレイ毎に出力平均を算出しておく。抵抗R1～R40には例えば薄膜抵抗を用い、LEDアレイL1～L40の出力ばらつきを補正するように、レーザー等で抵抗値をトリミングする。定電流電源8の出力電流は出力決定抵抗の抵抗値が大きいほど減少し、出力の小さなLEDアレイには小さな抵抗値を、高出力のLEDアレイには大きな抵抗値を割り当てるようにトリミングする。

【0020】このようにして組み立てたLEDプリント

10

6

ヘッドを動作させると、ブロック選択回路14の信号がマルチプレクサ10に送られ、マルチプレクサ10は内部の40個のスイッチをブロック選択回路14からの信号で順に1つずつオンさせ、抵抗R1～R40を定電流電源8の出力決定抵抗として用いる。この結果抵抗R1がLEDアレイL1の出力決定抵抗となり、抵抗R2がLEDアレイL2の出力決定抵抗となり、抵抗R40はLEDアレイL40の出力決定抵抗となる。このためマルチプレクサ10は、単に40個のスイッチを並列に配置したもので良く、ブロック選択回路14の信号でこれらのスイッチを順に走査すれば良い。

【0021】図3に、マルチプレクサ10による定電流電源8の制御フローを示す。即ちブロック選択回路14の信号でトランジスタT1～T40を順に駆動し、同じ信号でマルチプレクサ10を動作させて出力決定抵抗を抵抗R1からR40に順に走査する。

20

【0022】図4にLEDアレイL1～L40の出力ばらつきの補正原理を示す。LEDアレイL1～L40のうち出力が大きいものに対しては対応する抵抗R1～R40の抵抗値を大きくし、出力が小さいものには抵抗値を小さくする。定電流回路B1～B64の出力は1個毎に定まるのではなく、定電流電源8の外付けの出力決定抵抗の値で共通に定まる。これは出力決定抵抗への電流を全ての定電流回路B1～B64に共通の基準電流とするからである。図4に示すように、出力の小さなアレイには出力決定抵抗の抵抗値を小さくして発光電流を増加させ、出力の大きなアレイには大きな抵抗を用いて発光電流を減少させ、LEDアレイL1～L40の出力ばらつきを補正する。

30

【0023】ここではLEDアレイL1～L40を定電流駆動したが、定電圧駆動としても良い。また定電流電源8の構成を変更し個別のLED毎に出力決定抵抗を設ける場合、LED毎にマルチプレクサ10を設ければLED毎の出力ばらつきも補正できる。

40

【0024】ストローブ信号の幅により、LEDアレイL1～L40のばらつきを補正する従来例と比較する。従来例で±3%の精度にばらつきを補正するためには、ストローブ信号の幅を30μ秒×0.03の1μ秒程度の精度で、LEDアレイL1～L40毎に補正せねばならない。これはストローブ信号の持続時間を2クロック程度の精度でアレイ毎に変更することを意味し、回路的に困難である。このためには、アレイ毎の補正条件を記憶させたメモリーと、ストローブ信号の持続時間の修正用のデコーダとを用意し、メモリーのデータでデコーダの作動条件を切り替えることになり、補正条件を記憶した高速メモリーと高速デコーダとが必要になる。ここで特に図1の実施例と従来例とを比較すると、実施例では単に40個のスイッチからなるマルチプレクサ10と、40個のトリミング済みの抵抗R1～R40を設ければ良く、補正データを記憶させたメモリーや高速のデコ

ダは必要としない。

【0025】従来例と実施例とを比較すると、実施例では画像形成装置の高速化や高解像度化に容易に対応し得る。例えば解像度を増すため副走査方向を4ラインに分割すると、従来例では $1\mu\text{秒} \times 1/4$ の $0.25\mu\text{秒}$ でのストローブ時間の補正が必要となる。これに対して実施例では、マルチプレクサ10, 20による抵抗の切り替えを用いるためストローブ時間をいかに短くしてもLEDアレイL1～L40の出力ばらつきの補正には影響しない。

【0026】図5に、第2の変形例を示す。図において、26は波形整形回路で、例えばコンパレータを用い、スイッチングトランジスタがオンしていることを検出して信号を発生する。28はオア回路、30はカウンタ、32はデコーダ、34は新たなマルチプレクサである。なおカウンタ30は、プリント本体からのリセット信号でリセットされるようにしておく。またカウンタ30とデコーダ32とに替えてシフトレジスタを用い、オア回路28の信号でシフトレジスタの出力ビットを1ビットずつ順にシフトさせるようにしても良い。

【0027】画像形成装置内での異常ブロックの個数は通常は1～3個程度で、図5ではLEDアレイL2, L38の2つのアレイが異常で、出力が所定範囲から外れるものとする。そしてこれ以外のLEDアレイは正常で、出力が所定範囲内にあるものとする。波形整形回路26では、先頭のLEDアレイL1と、異常なLEDアレイL2並びにその次のLEDアレイL3、及び次の異常なLEDアレイL38並びにその次の正常なLEDアレイL39に対して、スイッチングトランジスタT1等のオンを検出する。これ以外の正常なLEDアレイは、波形整形回路26には接続しない。

【0028】画像形成装置がリセットされ、最初のLEDアレイL1がオンすると、スイッチングトランジスタT1のコレクタエミッタ電圧から波形整形回路26で検出し、オア回路28を介して、カウンタ30の初期値を1とする。デコーダ32はこの値をデコードし、マルチプレクサ34で正常なLEDアレイL1に対する出力決定抵抗R1を駆動する。これらの動作は、LEDアレイL1の駆動時の立ち上がり（トランジスタT1のコレクタエミッタ電圧の立ち下がり）に同期して行う。次に異常なLEDアレイL2が駆動されると、波形整形回路26の信号でカウンタ30を1加算し、デコーダ32でデコードして次の出力決定抵抗R2を駆動する。正常なLEDアレイL3～L37に対しては、LEDアレイL3の駆動時に波形整形回路26とオア回路28を介してカウンタ30に1加算し、この間共通の出力決定抵抗R3で駆動する。次に異常なLEDアレイL38が駆動されると、同様にしてカウンタ30の値を1加算し、出力決定抵抗R4を用いて駆動する。正常なLEDアレイL39, L40に対しては、LEDアレイL39駆動時の信

号でカウンタ30の値を1加算し、最後の出力決定抵抗R5を用いて駆動する。

【0029】これらの結果、必要な出力決定抵抗の個数は、異常なLEDアレイの個数をnとして、ほぼ $2n+1$ で与えられる。異常なLEDアレイの個数は、画像形成装置の検査時に初めて分かるため、波形整形回路26やカウンタ30、デコーダ32、マルチプレクサ34等の容量はやや多めに設け、例えばここでは異常なLEDアレイの最大数が4とし、余裕を設けておくのが好ましい。そしてマルチプレクサ34等の余った容量には、正常なLEDアレイに対する出力決定抵抗を接続しておけば良い。また波形整形回路26とスイッチングトランジスタT1～T40との接続には、例えばジャンパー線を用い、画像形成装置の出力の検査後に個別に接続すれば良い。これらのこととは図6、図7の変形例でも同様である。

【0030】図6の変形例では、出力決定抵抗の個数をさらに減少させる。図において、R1は正常なLEDアレイに対する出力決定抵抗で、R2, R3は異常なLEDアレイL2, L38に対する出力決定抵抗である。また36はインバータ、38はワンショットマルチバイブレータ、40はシフトレジスタ付きのマルチプレクサ、42は2つのFETからなるスイッチ回路である。正常なLEDアレイL1等が駆動されると、インバータ36の信号によりワンショットマルチバイブルエータ38から信号がスイッチ回路42のS端子に入力され、正常なLEDアレイ用の出力決定抵抗R1が定電流電源8に接続される。最初の異常なLEDアレイL2が駆動されると、オア回路28の信号（異常ブロック駆動信号）によりワンショットマルチバイブルエータ38から出力が生じて、マルチプレクサ40は出力決定抵抗R2をスイッチ回路42に接続する。同時にワンショットマルチバイブルエータ38の信号を、R端子からスイッチ回路42に入力し、出力決定抵抗R2を定電流電源8に接続する。この結果定電流電源8は、LEDアレイL2に対する出力決定抵抗R2で駆動される。次の異常なLEDアレイL38に対しては、ワンショットマルチバイブルエータ38の信号により、マルチプレクサ40内のシフトレジスタの出力ビットが1ビットシフトし、出力決定抵抗R3が接続される。この場合にもスイッチ回路42は、マルチプレクサ40側に定電流電源8を接続する。

【0031】これらのことを整理すると、正常なLEDアレイは共通の出力決定抵抗R1で駆動され、異常なLEDアレイL2, L39は各々出力決定抵抗R2, R3で駆動されることになる。この結果必要な出力決定抵抗の個数は、異常なLEDアレイの個数+1となる。なおこの変形例では、スイッチ回路42とマルチプレクサ40の全体を、1つの実効的なマルチプレクサと考える。

【0032】図7に、第4の変形例を示す。図において、44はプリセッタブルカウンタで、46はプリセッ

12

タブルカウンタ44のセット値を決定するためのディップスイッチである。この変形例では、画像形成装置の検査時に異常なLEDアレイを検出し、ディップスイッチ46を操作して、プリセッタブルカウンタ44のセット値を定める。またプリセッタブルカウンタ44は、リセット信号によりリセットされるものとする。プリセッタブルカウンタ44は、ブロック選択回路14のブロック選択信号により1ずつ加算され、その値がセット値に一致すると、オア回路28に信号が生じる。変形例の場合、異常なLEDアレイL2とL38で信号が生じる。そして異常なLEDアレイが選択されている場合には、ワンショットマルチバイブレータ38の信号でマルチブレクサ40に接続した出力決定抵抗を切り替え、正常なLEDアレイが駆動されている場合には、スイッチ回路42を操作して出力決定抵抗R1を用いる。この変形例では、ジャンパー線の配線無しでディップスイッチ46の操作により、設定ができる。

【0033】実施例はLEDプリントヘッドを例に示したが、サーマルヘッド、ELプリントヘッド等の他の画像形成装置でも同様に実施できる。

(0034)

【発明の効果】この発明では、駆動回路の出力を画像ブロック毎に修正することで、画像形成素子の出力ばらつきを補正する。この結果、出力イメージの濃度むらを解消し、かつ画像形成素子の歩留りの低下を防止することができる。また画像ブロックの駆動時間を制御する必要がなく、高速プリンタにも容易に対応できる。さらに、請求項7～9の発明では、正常ブロック用の出力決定抵抗の数を減らし、マルチプレクサを小型化することができる。

【図面の簡単な説明】

【図1】 実施例のLEDプリントヘッドのブロック図

【図3】 図1のプリントヘッドの動作フローチャート

【図4】 図1のプリントヘッドの動作特性図

【図5】 第2の変形例のLEDプリントヘッドのプロック図

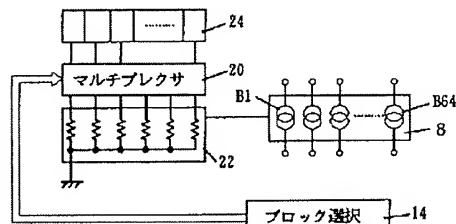
【図6】 第3の変形例のLEDプリントヘッドのプロック図

【図7】 第4の変形例のLEDプリントヘッドのプロック図

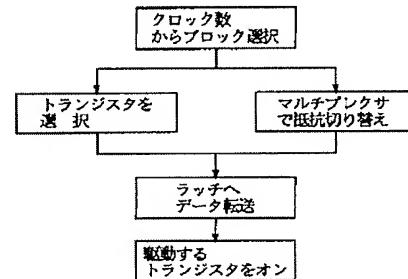
【符号の説明】

2	制御回路
10 4	シフトレジスタ
6	ラッチ回路
8	定電流電源
B 1～B 4 0	定電流回路
1 0	マルチブレクサ
1 2	バスライン
L 1～L 4 0	LEDアレイ
R 1～R 4 0	抵抗
T 1～T 4 0	スイッチングトランジスタ
1 4	ブロック選択回路
20 2 0	マルチブレクサ
2 2	抵抗ラダー回路
2 4	E P R O M
2 6	波形整形回路
2 8	オア回路
3 0	カウンタ
3 2	デコーダ
3 4	マルチブレクサ
3 6	インバータ
3 8	ワンショットマルチバイブレータ
30 4 0	マルチブレクサ
4 2	スイッチ回路
4 4	プリセッタブルカウンタ
4 6	ディップスイッチ

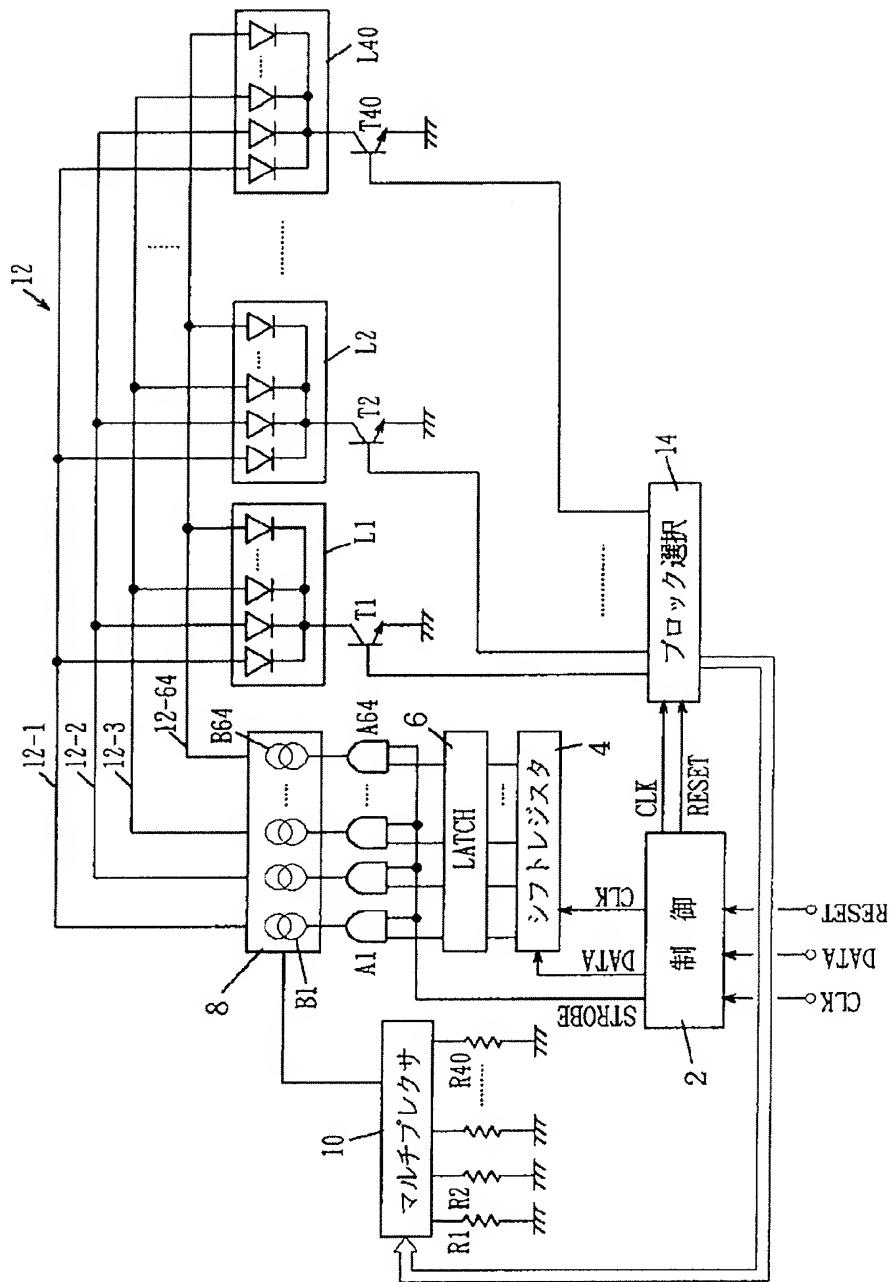
[图2]



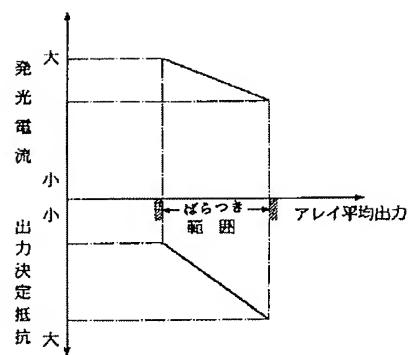
[图 3]



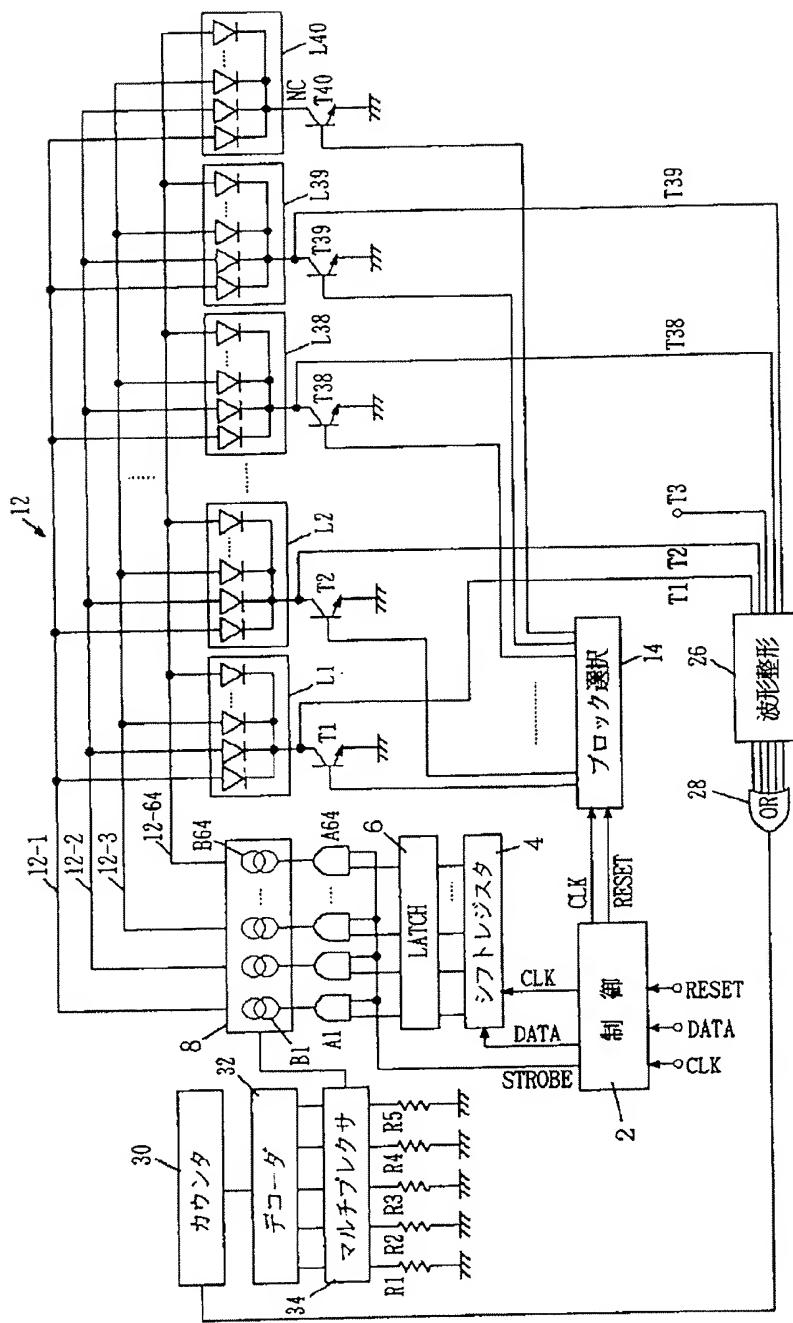
【☒ 1】



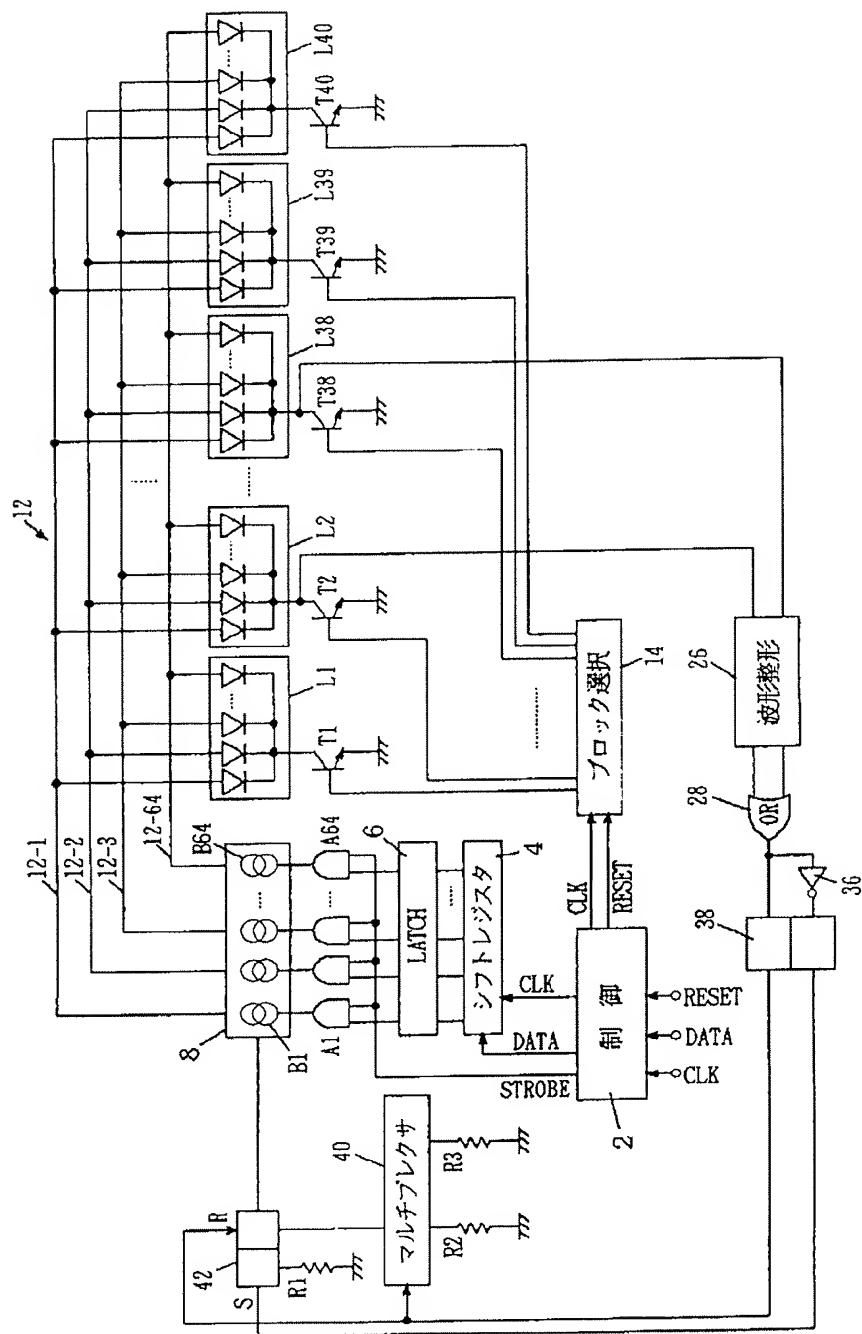
【図4】



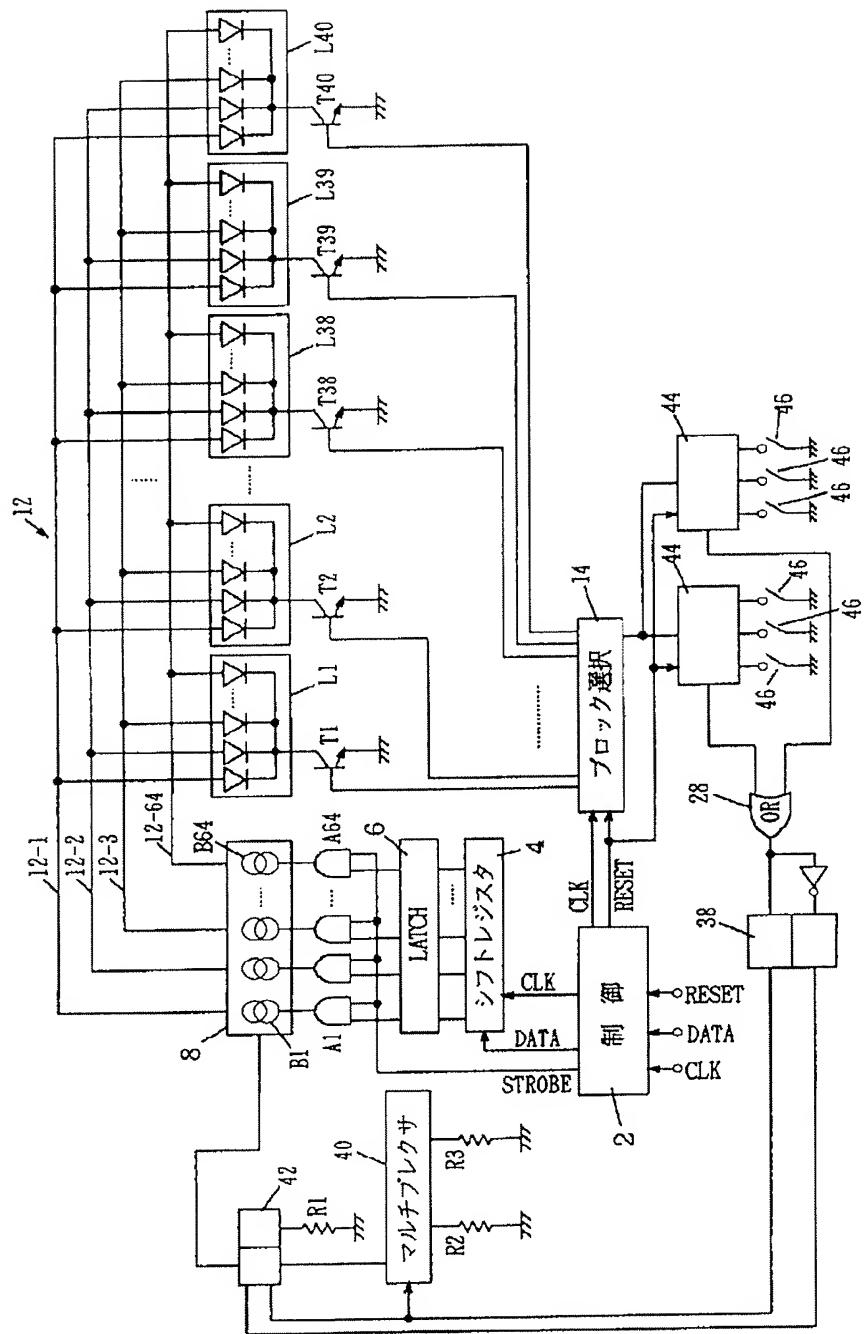
【図5】



【図6】



【図7】



フロントページの続き

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
B 41 J	2/355			
H 04 N	1/032	D 9070-5C		
	1/036	A 9070-5C		